

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338524

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H01L 21/339

H01L 29/796

(21)Application number : 06-044457

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 15.03.1994

(72)Inventor : NAKAMURA NOBUO  
MATSUNAGA MASAYUKI  
KOYA YOSHITO  
ENDO YUKIO

(30)Priority

Priority number : 05 74838

Priority date : 31.03.1993

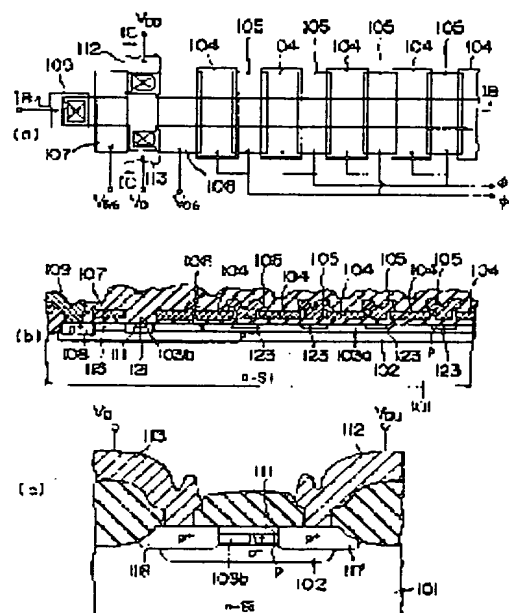
Priority country : JP

## (54) CHARGE TRANSFER DEVICE

(57)Abstract:

PURPOSE: To provide a highly sensitive charge transfer device, which is operated at low voltage, of simple structure.

CONSTITUTION: The title charge transfer device has a high resistant P-type well layer 102 formed on the surface of an N-type semiconductor substrate 101. On the surface of the well layer 102, an N-type charge transfer channel layer 103a, an N-type charge accumulation channel layer 103b, an N-type charge exhaust channel layer 115 and an N-type charge exhaust drain layer 108 are formed continuously. On the surface of the charge accumulation channel layer 103b, the p-type charge sensitive channel layer 111 of a charge detection transistor is formed. The sensitive channel layer 111 is arranged in such a manner that it does not come in contact with either of the transfer channel 103a and the exhaust channel layer 115. The potential of the charge accumulation channel layer 103b in a chargeless state is set higher than the potential of the exhaust drain layer 108.



## LEGAL STATUS

[Date of request for examination] 24.02.2000

[Date of sending the examiner's decision of rejection] 06.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-338524

(43)公開日 平成6年(1994)12月6日

(51)IntCl.<sup>5</sup>

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 21/339

29/796

7210-4M

H 0 1 L 29/ 76

3 0 1 A

審査請求 未請求 請求項の致3 O L (全 15 頁)

(21)出願番号 特願平6-44457

(22)出願日 平成6年(1994)3月15日

(31)優先権主張番号 特願平5-74838

(32)優先日 平5(1993)3月31日

(33)優先権主張国 日本 (J P)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 中村 信男

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 松長 誠之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 小屋 義人

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 弁理士 鈴江 武彦

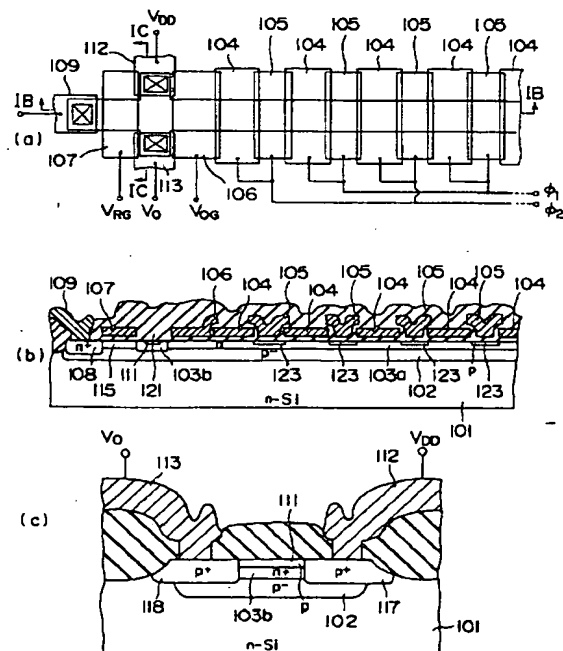
最終頁に続く

(54)【発明の名称】 電荷転送装置

(57)【要約】

【目的】高感度で、低使用電圧で且つ構造の簡単な電荷転送装置を提供する。

【構成】電荷転送装置はn型半導体基板101の表面に形成された高抵抗のp型ウェル層102を有する。ウェル層102の表面には、n型電荷転送チャネル層103aと、n型電荷蓄積チャネル層103bと、n型電荷排出チャネル層115と、n型電荷排出ドレイン層108が連続的に形成される。蓄積チャネル層103bの表面には、電荷検出トランジスタのp型電荷感知チャネル層111が形成される。感知チャネル層111は転送チャネル103a層及び排出チャネル層115のいずれとも接触しないように配置される。電荷がない状態の蓄積チャネル層103bの電位は、排出ドレイン層108の電位より高く設定される。



## 【特許請求の範囲】

【請求項 1】表面を有する第 1 導電型半導体基板と、  
前記基板の前記表面に形成された高抵抗の第 2 導電型ウェル層と、  
前記ウェル層の表面に形成された第 1 導電型電荷転送チャンネル層と、  
前記転送チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷蓄積チャンネル層と、  
前記蓄積チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷排出チャンネル層と、  
前記排出チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷排出ドレイン層と、  
前記転送チャンネル層と蓄積チャンネル層との接続部に、  
絶縁膜を介して配設された出力ゲート電極と、  
前記蓄積チャンネル層上に形成された被覆絶縁膜と、  
前記排出チャンネル層上に絶縁膜を介して配設されたリセットゲート電極と、  
前記蓄積チャンネル層と積重ね状態となるように前記基板内に形成された、電荷検出トランジスタの第 2 導電型電荷感知チャンネル層と、  
前記感知チャンネル層を挟んで対向するよう前記基板の前記表面に形成された、前記電荷検出トランジスタの第 2 導電型ソース層及びドレイン層と、を具備し、  
前記蓄積チャンネル層が、前記転送チャンネル層に隣接して前記被覆絶縁膜に接触する第 1 表面部分と、前記排出チャンネル層に隣接して前記被覆絶縁膜に接触する第 2 表面部分と、を有する電荷転送装置。

【請求項 2】表面を有する第 1 導電型半導体基板と、  
前記基板の前記表面に形成された高抵抗の第 2 導電型ウェル層と、  
前記ウェル層の表面に形成された第 1 導電型電荷転送チャンネル層と、  
前記転送チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷蓄積チャンネル層と、  
前記蓄積チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷排出チャンネル層と、  
前記排出チャンネル層に接続するように前記基板の前記表面に形成された第 1 導電型電荷排出ドレイン層と、  
前記転送チャンネル層と蓄積チャンネル層との接続部に、  
絶縁膜を介して配設された出力ゲート電極と、  
前記蓄積チャンネル層上に形成された被覆絶縁膜と、  
前記排出チャンネル層上に絶縁膜を介して配設されたリセットゲート電極と、  
前記蓄積チャンネル層と積重ね状態となるように前記基板内に形成された、電荷検出トランジスタの第 2 導電型電荷感知チャンネル層と、  
前記感知チャンネル層を挟んで対向するよう前記基板の前記表面に形成された、前記電荷検出トランジスタの第 2 導電型ソース層及びドレイン層と、を具備し、  
電荷がない状態の前記蓄積チャンネル層の電位が、前記排

出ドレイン層の電位より高く設定される電荷転送装置。

【請求項 3】半導体基板上にゲート絶縁膜を介して複数の転送電極を配列してなる電荷結合素子と、  
前記電荷結合素子の出力端に隣接して設けられ前記素子により転送された信号電荷を一時蓄積するための浮遊拡散層と、  
前記浮遊拡散層に発生する電圧信号を増幅して出力するための増幅手段であって、駆動トランジスタ及びこの駆動トランジスタの電流を制御するための負荷トランジスタからなる増幅手段と、を具備し、  
前記増幅手段に与えられる前記電荷結合素子より転送された信号電荷が前記浮遊拡散層に流入変化する期間を包含する期間とそれ以外の期間とで、前記負荷トランジスタのゲートに異なる電圧を印加し、関連する前記駆動トランジスタの相互コンダクタンスを制御する電荷転送装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電荷結合装置（以下 CCD と略記する）の原理を用いた電荷転送装置に関し、特に、電荷検出部を改良した電荷転送装置に関する。

## 【0002】

【従来の技術】近年、ビデオカメラや電子スチルカメラ等の撮像システムとして、CCD による電荷転送装置を用いた固体撮像システムが使用されている。この固体撮像システムは、光を電気信号（信号電荷）に変換する光電変換部、この信号電荷を転送する電荷転送部及び転送されてきた信号電荷を検出し電圧信号に変換して取り出す電荷検出部とからなる。この、電荷転送部及び電荷検出部とを備えてなるのが電荷転送装置である。

【0003】電荷転送装置に設けられる電荷検出部の 1 つとして、電荷転送部の最終段に隣接して配置されるフローティング・ディフュージョン・アンプ（以下 FDA と略記する）が知られている。FDA は電荷転送部の出力端と電荷排出用ドレイン（リセットドレイン）との間に設けられたフローティング拡散層（以下 FD 層と略記する）を有する。電荷転送部から FD 層に信号電荷が転送されてくると、信号電荷は FD 層に一旦蓄積され、これにより FD 層の電位が変化する。FD 層の電位変化は配線により、ソースフォロア回路のドライバートランジスタのゲート電極に伝達され、トランジスタのゲート電位を変化させる。ソースフォロア回路はゲート電位の変化を増幅して電圧信号を出力し、これにより信号電荷を検出する。電荷検出／信号出力の終了後、FD 層内の信号電荷はリセットゲートの開放により電荷排出用ドレインから排出される。

【0004】図 14 は、従来の FDA 型の電荷検出部、特にソースフォロア回路の一例を示す概略図である。半導体基板 210 の表面には、FD 層 211 及びリセットドレイン 212 が形成される。半導体基板 210 上には

SiO<sub>2</sub>膜230を介してCCDの転送電極213、出力ゲート電極214及びリセットゲート電極215が配置される。FD層211はトランジスタ221のゲート電極に電氣的に接続される。トランジスタ221のソースは負荷トランジスタ222のドレインと接続されて初段のソースフォロワ回路が形成される。また、トランジスタ221のソースはトランジスタ223のゲート電極に接続される。トランジスタ223のソースは負荷トランジスタ224のドレインと接続されて出力段のソースフォロワ回路が形成される。負荷MOSトランジスタ222、224のゲート電極はともに接地される。

【0005】このような構造のFDA型の電荷検出部では、FD層からソースフォロワ回路のドライバートランジスタのゲート電極までの配線に起因する寄生容量が大きくなる。このため、蓄積電荷当たりの電位変化が大きくなり、高感度に電荷検出を行うことが難しい。また、信号電荷の排出に伴うリセットゲートのkTCノイズを減少させることが困難である。

【0006】図15にリセットゲート電極215の電圧V<sub>RS</sub>の波形と、出力電圧V<sub>out</sub>の波形とを示す。図のように、出力電圧V<sub>out</sub>の波形には、常時、雑音が含まれている。この雑音の性状としては、リセットゲート電極215がオンの状態である期間T21においてはリセットゲート電極215から発生する熱雑音が支配的であり、リセットゲート電極215がオフで信号電荷がFD層211に注入される期間T22ではトランジスタ221の熱雑音が支配的となる。なお、期間T2bは信号電荷がない場合に、期間T2wは信号電荷がある場合に対応する。

【0007】FDAを低雑音化する手段として、ソースフォロワ回路の負荷用のデプレッション型MOSトランジスタ222、224の定電流を少なくすることが考えられる。しかしながら、ソースフォロワの定電流を少なくするとソースフォロワの相互コンダクタンスが低くなり、FDAは高速に応答することができなくなる。それゆえ、速応答の確保の必要性から、FDAの低雑音化は極めて困難となる。また、負荷MOSトランジスタ222、224の定電流を少なくすることができないため、FDAの低消費電力化ができないという不都合もある。

【0008】FDA型の電荷検出部の上記問題点を解決するため、特開昭64-17469に開示されるような電荷検出部を有する電荷転送装置が開発されている。この公報に開示の電荷転送装置は、電荷転送部の最終段に隣接して配置された電荷検出用MOSトランジスタの埋め込みチャンネル層を利用している。

【0009】この構造では、フローティング拡散層とソースフォロワ回路のドライバートランジスタとを接続するためのコンタクト領域及び配線がないので、電荷検出部の寄生容量を小さくできる。このため、蓄積電荷当たりの電位変化が大きくなり、高感度に電荷検出を行うこ

とが可能となる。また、フローティングゲート及びコントロールゲートの補助により蓄積された信号電荷を完全に排出できるので、リセットゲートにより発生するkTCノイズをなくすることができる。

【0010】しかし反面、この構造では、松長らによる“A Highly Sensitive On-Chip Charge Detector for CCD Area Image Sensor”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.26, No.4, April 1991)に示されるように、一般的に使用されているCCDの電源電圧(例えば、15V)よりも大きい電源電圧(例えば、-80V)がコントロールゲートの操作に必要となる。また、フローティングゲート及びコントロールゲートの2層のゲートを使用するため、出力検出部の構造及びその製造プロセスが複雑になる。

【0011】

【発明が解決しようとする課題】従って、本発明の目的は、信号電荷の高感度出力が得られ、低電圧で使用でき、且つ構造の簡単な電荷転送装置を提供することである。本発明の他の目的は、S/N(信号/雑音)比向上及び消費電力の省力化を図ったFDAを備えた電荷転送装置を提供することである。

【0012】

【課題を解決するための手段】本発明の第1の視点に係る電荷転送装置は、表面を有する第1導電型半導体基板と、前記基板の前記表面に形成された高抵抗の第2導電型ウェル層と、前記ウェル層の表面に形成された第1導電型電荷転送チャンネル層と、前記転送チャンネル層に接続するように前記基板の前記表面に形成された第1導電型電荷蓄積チャンネル層と、前記蓄積チャンネル層に接続するように前記基板の前記表面に形成された第1導電型電荷排出チャンネル層と、前記排出チャンネル層に接続するように前記基板の前記表面に形成された第1導電型電荷排出ドレイン層と、前記転送チャンネル層と蓄積チャンネル層との接続部に、絶縁膜を介して配設された出力ゲート電極と、前記蓄積チャンネル層上に形成された被覆絶縁膜と、前記排出チャンネル層上に絶縁膜を介して配設されたリセットゲート電極と、前記蓄積チャンネル層と積重ね状態となるように前記基板内に形成された、電荷検出トランジスタの第2導電型電荷感知チャンネル層と、前記感知チャンネル層を挟んで対向するよう前記基板の前記表面に形成された、前記電荷検出トランジスタの第2導電型ソース層及びドレイン層と、を具備し、前記蓄積チャンネル層が、前記転送チャンネル層に隣接して前記被覆絶縁膜に接触する第1表面部分と、前記排出チャンネル層に隣接して前記被覆絶縁膜に接触する第2表面部分と、を有する。

【0013】本発明の第2の視点に係る電荷転送装置は、表面を有する第1導電型半導体基板と、前記基板の前記表面に形成された高抵抗の第2導電型ウェル層と、前記ウェル層の表面に形成された第1導電型電荷転送チ

ヤネル層と、前記転送チャネル層に接続するように前記基板の前記表面に形成された第1導電型電荷蓄積チャネル層と、前記蓄積チャネル層に接続するように前記基板の前記表面に形成された第1導電型電荷排出チャネル層と、前記排出チャネル層に接続するように前記基板の前記表面に形成された第1導電型電荷排出ドレイン層と、前記転送チャネル層と蓄積チャネル層との接続部上に、絶縁膜を介して配設された出力ゲート電極と、前記蓄積チャネル層上に形成された被覆絶縁膜と、前記排出チャネル層上に絶縁膜を介して配設されたリセットゲート電極と、前記蓄積チャネル層と積重ね状態となるように前記基板内に形成された、電荷検出トランジスタの第2導電型電荷感知チャネル層と、前記感知チャネル層を挟んで対向するよう前記基板の前記表面に形成された、前記電荷検出トランジスタの第2導電型ソース層及びドレイン層と、を具備し、電荷がない状態の前記蓄積チャネル層の電位が、前記排出ドレイン層の電位より高く設定される。

【0014】本発明の第3の視点に係る電荷転送装置は、半導体基板上にゲート絶縁膜を介して複数の転送電極を配列してなる電荷結合素子と、前記電荷結合素子の出力端に隣接して設けられ前記素子により転送された信号電荷を一時蓄積するための浮遊拡散層と、前記浮遊拡散層に発生する電圧信号を増幅して出力するための増幅手段であって、駆動トランジスタ及びこの駆動トランジスタの電流を制御するための負荷トランジスタからなる増幅手段と、を具備し、前記増幅手段に与えられる前記電荷結合素子より転送された信号電荷が前記浮遊拡散層に流入変化する期間を包含する期間とそれ以外の期間とで、前記負荷トランジスタのゲートに異なる電圧を印加し、関連する前記駆動トランジスタの相互コンダクタンスを制御する。

【0015】

【作用】本発明の第1の視点に係る電荷転送装置においては、蓄積チャネル層が転送チャネル層及び排出チャネル層に隣接して被覆絶縁膜と接触する表面を有する。これにより、感知チャネル層と出力ゲート電極との間及び感知チャネル層とリセットゲート電極との間のカップリング容量を小さくすることができる。このため、信号電荷当たりの電位変化を大きく取ることができ、信号電荷による電流電圧変換ゲインの大きい、すなわち高感度の電荷検出部を提供できる。

【0016】本発明の第2の視点に係る電荷転送装置においては、電荷がない状態の蓄積チャネル層の電位が、排出ドレイン層の電位より高く設定される。すなわち、所謂不完全排出モードによる信号電荷の検出を可能とすることにより、蓄積チャネル層内の電位の凹凸及び電位のポケットに起因する検出誤差を回避することができる。これにより、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートを蓄積チャネル

層上に設ける必要がなくなる。このため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0017】本発明の第3の視点に係る電荷転送装置においては、信号電荷が浮遊拡散層に流入変化する期間を包含する期間とそれ以外の期間とで、ソースフォロウ回路の負荷トランジスタのゲートに異なる電圧を印加し、駆動トランジスタの相互コンダクタンスを制御する。すなわち、入力信号の情報が変化する瞬間のようなFDAの速応性が要求される期間のみソースフォロウ回路のバイアス電流を大きくし、FDAの速応性が要求されない期間はソースフォロウ回路のバイアス電流を小さくして雑音及び消費電力を低減するような制御が可能となる。これにより、必要な高速応答性を損なうことなくFDAの低雑音化と省消費電力化を図ることができ、電荷転送装置の低雑音化と省消費電力化を図ることができる。

【0018】好ましくは、少なくとも電圧信号がフィードスルーレベルから信号レベルに向かって変化を始める時点から電圧信号が十分に信号レベルに到達する時点までの期間を包含する期間において負荷トランジスタのゲートに与える電圧を高くして速応性を確保し、それ以外の速応性を重視しなくて良い期間はゲートに与える電圧を低くして消費電流を低く押さえる。

【0019】

【実施例】図1(a)は本発明の実施例に係る電荷転送装置の平面図、図1(b)、(c)はそれぞれ図1

(a)のIB-IB、IC-IC線断面図である。図2(a)は図1(b)の電荷転送装置の電荷検出部を拡大して示す断面図である。

【0020】この電荷転送装置は、n型半導体基板すなわちn型基板101上に形成される。基板101には、低不純物濃度すなわち高抵抗のp-型ウェル層102(不純物濃度 $1 \times 10^{12} \sim 1 \times 10^{17} \text{ cm}^{-3}$ )が形成される。本実施例において、接地電位に対し、基板101には例えば+10Vの、ウェル層102には0Vのバイアス電圧が付与される。

【0021】高抵抗ウェル層102の表面には、間隔を置いて複数のp型層123が形成された電荷転送n型チャネル層103a(不純物濃度 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-3}$ )がIB-IB線方向に沿って形成される。ウェル層102の表面にはまた、電荷転送n型チャネル層103aに続いて、電荷蓄積n+型チャネル層103b(不純物濃度 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ )、電荷排出n型チャネル層115(不純物濃度 $1 \times 10^{14} \sim 1 \times 10^{19} \text{ cm}^{-3}$ )、電荷排出n+型ドレイン層108(不純物濃度 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ )がIB-IB線方向に沿って順に形成される。

【0022】電荷転送n型チャネル層103a及びp型層123の上には絶縁膜121を介して複数対の第1及び第2の電荷転送電極104、105が配設される。電

荷蓄積 $n+$ 型チャネル層103bに隣接して、電荷転送 $n$ 型チャネル層103a上には、絶縁膜121を介して出力ゲート電極106が配設される。電荷排出 $n$ 型チャネル層115上には、絶縁膜121を介してリセットゲート電極107が形成される。電荷排出 $n+$ ドレイン層108には排出配線109が接続される。

【0023】電荷蓄積 $n+$ 型チャネル層103b表面には、電荷検出用PMOSトランジスタの $p$ 型チャネル層111が形成される。ウェル層102の表面には、IC-IC線方向に沿って、 $p$ 型チャネル層111の両側

に、電荷検出用PMOSトランジスタのソース/ドレイン層117、118が形成される。ソース/ドレイン層117には電源VDD用配線112が、ソース/ドレイン層118には出力 $V_o$ 用配線113が接続される。

【0024】図2(a)図示の如く、 $p$ 型チャネル層111は、電荷転送及び電荷排出 $n$ 型チャネル層103a、115に接触しないように電荷蓄積 $n+$ 型チャネル層103b内に形成される。すなわち、 $n+$ 型チャネル層103bが、 $p$ 型チャネル層111と $n$ 型チャネル層103aとの間及び $p$ 型チャネル層111と $n$ 型チャネル層115との間で露出した表面を有し、絶縁膜121と接触する構造となっている。

【0025】上記の構成における電荷転送装置の動作について以下に説明する。まず、制御信号 $\phi_1$ 及び $\phi_2$ で2相駆動される第1及び第2転送電極104、105により、信号電荷が出力ゲート電極106の電位を越えて電荷蓄積 $n+$ 型チャネル層103bへ転送されここに一時的に蓄積される。この転送は、リセットゲート電極107に“L”レベルの駆動電圧 $V_{RC}$ が、出力ゲート電極106に所定の定電圧 $V_{oc}$ が印加された状態で行われ

る。

【0026】チャネル層103bへ転送された信号電荷は、図1(c)図示の電荷検出用PMOSトランジスタのチャネル111の電位を変調させる。このため、配線113に出力される電圧 $V_o$ が信号電荷の量に応じて変化し、この変化を測定することにより信号電荷量が検出される。出力電圧変化の測定後、リセットゲート電極107に“H”レベルの駆動電圧 $V_{RC}$ が印加され、後述の一定残留電荷を残して信号電荷が電荷排出ドレイン108へ排出される。

【0027】次に、図2(a)の断面図の各部分に対応する電位分布を示す図2(b)～図2(d)を参照して、この実施例の信号電荷の検出に関して説明する。図2(b)は電荷蓄積 $n+$ 型チャネル層103bに電荷がない状態の電位分布を示す。この状態において、電荷蓄積チャネル層103bの電位 $P_{1o}$ は電荷排出ドレイン層108の電位 $P_{dr}$ より高くなるように設定される。この電位の高低関係は、ドレイン層108の電位を調整するか、チャネル層103bの不純物濃度を調整するか、或いはその両方を調整することにより設定可能とな

る。本実施例においては、電荷蓄積チャネル層103bの不純物濃度を $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ と大きくすることにより電位を高くしている。

【0028】図2(b)図示の状態において、チャネル層103b内の電位分布は一定となっていない。特に、電荷転送 $n$ 型チャネル層103a側に形成される電位のポケットDPは信号電荷の排出に悪影響を及ぼす可能性がある。

【0029】図2(c)は、電荷蓄積 $n+$ 型チャネル層103bに信号電荷或いは他の意図的に付与された電荷が一旦蓄積され、その後排出された後の電位分布を示す。電荷蓄積チャネル層103bには、チャネル層103bの電位 $P_{1r}$ を電荷排出ドレイン層108の電位 $P_{dr}$ と同一にする分、すなわち図に斜線を付した部分に対応する個数の電子の総電荷量が残留する。すなわち、電位のポケットDPが残留電荷により埋められるように、電荷がない状態におけるチャネル層103b内の電位の凸凹が平坦化される。また、本実施例によれば、チャネル層111の両側においてチャネル層103bの露出した表面が絶縁膜121と接触しているため、チャネル層103bの電位 $P_{1r}$ は平坦化されて電位分布がこの領域内で均一に決まる。

【0030】図2(d)は、図2(c)図示の状態の後に、電荷蓄積 $n+$ 型チャネル層103bに信号電荷が蓄積された信号電荷検出時の電位分布を示す。電荷蓄積チャネル層103bの電位分布が図2(c)の状態となったところに、信号電荷がチャネル層103bに転送されてきて蓄積されると、図2(d)図示の如く、チャネル層103bは電位 $P_{1t}$ を有するようになる。この時、信号電荷の流入による電位変化分 $\Delta P_1 = P_{1r} - P_{1t}$ は、流入信号電荷の総量、すなわち図に斜線を付した部分に対応する個数の電子の総電荷量となる。

【0031】換言すると、チャネル層103bへの新たな流入信号電荷の全てが、チャネル層103bの電位の変化として現れ、電荷検出用PMOSトランジスタのチャネル111の電位を変調させる。従って、配線113に出力される電圧が $V_o$ が全流入信号電荷の量に応じて変化し、この変化を測定することにより信号電荷量が検出される。

【0032】信号電荷が検出された後、リセットゲートが開かれて、信号電荷が排出されると、チャネル層103bの電位は図2(c)の状態に戻る。本明細書では、このように、リセット時に、常に一定量の電荷をチャネル層103bに残した状態で、信号電荷を排出する態様を不完全排出モードとして言及する。

【0033】本実施例によれば、特開昭64-17469に開示の電荷転送装置と比較して、次のような利点が得られる。まず、 $p$ 型チャネル層111が、 $n$ 型チャネル層103a、115に接触しないように形成されているため、チャネル層111と出力ゲート電極106との

間、及びチャネル層111とリセットゲート電極107との間のカップリング容量を小さくすることができる。このため、信号電荷当たりの電位変化を大きく取ることができ、信号電荷による電流電圧変換ゲインの大きい、すなわち高感度の電荷検出部を提供できる。

【0034】また、不完全排出モードによる信号電荷の検出を可能とすることにより、電荷蓄積n型チャネル層103b内の電位の凹凸及び電位のポケットDPに起因する検出誤差を回避することができる。すなわち、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートをチャネル層103b上に設ける必要がなくなる。このため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0035】図3(a)は本発明の別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図である。この実施例は、電荷がない状態の電荷蓄積チャネル層103xの電位P2oが電荷排出ドレイン層108の電位Pdrより低く設定されている点を除いて、図1

(a)、(b)、(c)及び図2(a)図示の実施例と同一に構成される。

【0036】図3(a)の断面図の各部分に対応する電位分布を示す図3(b)～図3(d)を参照して、この実施例を説明する。図3(b)は電荷蓄積n型チャネル層103xの部分に電荷がない状態の電位分布を示す。この状態において、電荷蓄積チャネル層103xの電位P2oは電荷排出ドレイン層108の電位Pdrより低くなるように設定される。この電位の高低関係は、ドレイン層108の電位を調整するか、チャネル層103bの不純物濃度を調整するか、或いはその両方を調整することにより設定可能となる。本実施例においては、電荷蓄積チャネル層103xの不純物濃度を $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-3}$ と先の実施例のチャネル層103bよりも小さくすることにより、チャネル層103xの電位を低くしている。

【0037】図3(c)は、電荷蓄積n+型チャネル層103xに信号電荷が蓄積された信号電荷検出時の電位分布を示す。信号電荷がチャネル層103xに転送されてきて蓄積されると、チャネル層103xは電位P2tを有するようになり、電荷検出用PMOSトランジスタのチャネル111の電位を変調させる。従って、配線113に出力される電圧がVoが信号電荷の量に応じて変化し、この変化を測定することにより信号電荷量が検出される。

【0038】図3(d)は、リセットゲートが開かれて、信号電荷が排出された後の電位分布を示す。チャネル層103xに蓄積された電荷は基本的に全て電荷排出ドレイン層108に排出され、チャネル層103xの電位はもとのP2oに戻る。但し、チャネル層103xの電位のポケットDPには、不安定残留電荷が残る可能性

がある。本明細書では、このように、リセット時に、実質的に全ての信号電荷を排出する態様を完全排出モードとして言及する。

【0039】図3(a)図示の実施例によれば、チャネル層111と出力ゲート電極106との間、及びチャネル層111とリセットゲート電極107との間のカップリング容量を小さくすることができ、高感度の電荷検出部を提供できる。また、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートを省略してあるため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0040】図4(a)は本発明の更に別の実施例に係る電荷転送装置の平面図、図4(b)、(c)はそれぞれ図4(a)のIXB-IXB、IXC-IXC線断面図である。図5(a)は図4(b)の電荷転送装置の電荷検出部を拡大して示す断面図である。

【0041】この実施例は、電荷がない状態の電荷蓄積チャネル層103xの電位P3oが電荷排出ドレイン層108の電位Pdrより低く設定されている点、及び信号電荷の排出を補助するためのコントロールゲート、フローティングゲートを設けている点を除いて、図1

(a)、(b)、(c)及び図2(a)図示の実施例と同一に構成される。

【0042】この実施例にあつては、電荷蓄積チャネル層103x及びチャネル層111上に絶縁膜121を介してフローティングゲート電極120aが配設される。また、フローティングゲート電極120a上に絶縁膜114を介してコントロールゲート電極120bが配設される。コントロールゲート電極120bには、負の高電圧が印加可能で、電圧が印加されないフローティングゲート電極120aを介して、電荷蓄積チャネル層103xに作用するようになっている。

【0043】図5(a)の断面図の各部分に対応する電位分布を示す図5(b)～図5(d)を参照して、この実施例を説明する。図5(b)は、コントロールゲート電極120bに電圧が印加されず、且つ電荷蓄積n型チャネル層103xの部分に電荷がない状態の電位分布を示す。この状態において、電荷蓄積チャネル層103xの電位P3oは電荷排出ドレイン層108の電位Pdrより低くなるように設定される。本実施例においては、電荷蓄積チャネル層103xの不純物濃度を $1 \times 10^{15} \sim 1 \times 10^{19} \text{ cm}^{-3}$ に設定することにより電位を低くしている。

【0044】図5(b)図示の状態において、チャネル層103x内の電位分布は一定となっていない。特に、電荷転送n型チャネル層103a側に形成される電位のポケットDPは信号電荷の排出に悪影響を及ぼす可能性がある。

【0045】図5(c)は、コントロールゲート電極1

20 bに負の電圧が印加された状態の電位分布を示す。印加電圧の影響により、チャンネル層103 bの電位は電位P3 rに変化する。この時、電位のポケットDPは消滅し、電荷転送n型チャンネル層103 a側から電荷蓄積n型チャンネル層103 xへ電位が連続的につながる。コントロールゲート電極120 bへの負の電圧の印加は、信号電荷の排出時、すなわちリセット時に電位のポケットDPに不安定残留電荷が残るのを防止するためのものである。従って、同電圧の印加はリセット時のみ行えばよいが、本実施例では、操作を簡単にするため、コントロールゲート電極120 bには常に負の電圧を印加している。

【0046】図5 (d) は、コントロールゲート電極120 bに負の電圧が印加され、且つ電荷蓄積n型チャンネル層103 xに信号電荷が蓄積された信号電荷検出時の電位分布を示す。信号電荷がチャンネル層103 xに転送されてきて蓄積されると、チャンネル層103 xは電位P3 tを有するようになり、電荷検出用PMOSTランジスタのチャンネル111の電位を変調させる。従って、配線113に出力される電圧がV<sub>o</sub>が全流入信号電荷の量に依りて変化し、この変化を測定することにより信号電荷量が検出される。

【0047】信号電荷が検出された後、リセットゲートが開かれて、信号電荷が排出されると、チャンネル層103 xの電位は図5 (c)の状態に戻る。すなわち、この実施例は完全排出モードで操作される。

【0048】図5 (a) 図示の実施例によれば、チャンネル層111と出力ゲート電極106との間、及びチャンネル層111とリセットゲート電極107との間のカップリング容量を小さくすることができ、高感度の電荷検出部を提供できる。また、コントロールゲート及びフローティングゲートにより、チャンネル層103 xに不安定残留電荷が残るのを防止することができる。

【0049】図6 (a) は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図である。この実施例は、p型チャンネル層131が、n型チャンネル層103 aからn型チャンネル層115まで完全に延在するように形成されている点を除いて、図1 (a)、(b)、(c)及び図2 (a) 図示の実施例と同一に構成される。

【0050】図6 (a) の断面図の各部分に対応する電位分布を示す図6 (b) ~図6 (d) を参照して、この実施例の信号電荷の検出に関して説明する。図6 (b) は電荷蓄積n+型チャンネル層103 bに電荷がない状態の電位分布を示す。この状態において、電荷蓄積チャンネル層103 bの電位P4 oは電荷排出ドレイン層108の電位P d rより高くなるように設定される。この電位の高低関係は、ドレイン層108の電位を調整するか、チャンネル層103 bの不純物濃度を調整するか、或いはその両方を調整することにより設定可能となる。本実施

例においては、電荷蓄積チャンネル層103 bの不純物濃度を $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ と大きくすることにより電位を高くしている。

【0051】図6 (b) 図示の状態において、チャンネル層103 b内の電位分布は一定となっていない。特に、電荷転送n型チャンネル層103 a側に形成される電位のポケットDPは信号電荷の排出に悪影響を及ぼす可能性がある。

【0052】図6 (c) は、電荷蓄積n+型チャンネル層103 bに信号電荷或いは他の意図的に付与された電荷が一旦蓄積され、その後排出された後の電位分布を示す。電荷蓄積チャンネル層103 bには、チャンネル層103 bの電位P4 rを電荷排出ドレイン層108の電位P d rと同一にする分、すなわち図に斜線を付した部分に対応する個数の電子の総電荷量が残留する。すなわち、電位のポケットDPが残留電荷により埋められるように、電荷がない状態におけるチャンネル層103 b内の電位の凸凹が均される。

【0053】図6 (d) は、図6 (c) 図示の状態の後に、電荷蓄積n+型チャンネル層103 bに信号電荷が蓄積された信号電荷検出時の電位分布を示す。電荷蓄積チャンネル層103 bの電位分布が図6 (c)の状態となったところに、信号電荷がチャンネル層103 bに転送されてきて蓄積されると、図6 (d) 図示の如く、チャンネル層103 bは電位P4 tを有するようになる。この時、信号電荷の流入による電位変化分 $\Delta P4 = P4 r - P4 t$ は、流入信号電荷の総量、すなわち図に斜線を付した部分に対応する個数の電子の総電荷量となる。

【0054】換言すると、チャンネル層103 bへの新たな流入信号電荷の全てが、チャンネル層103 bの電位の変化として現れ、電荷検出用PMOSTランジスタのチャンネル131の電位を変調させる。従って、配線113に出力される電圧がV<sub>o</sub>が全流入信号電荷の量に依りて変化し、この変化を測定することにより信号電荷量が検出される。

【0055】信号電荷が検出された後、リセットゲートが開かれて、信号電荷が排出されると、チャンネル層103 bの電位は図6 (c)の状態に戻る。すなわち、この実施例は不完全排出モードで操作される。

【0056】図6 (a) 図示の実施例によれば、信号電荷の排出を補助するためのコントロールゲート及びフローティングゲートを省略し、不完全排出モードにより信号電荷の検出を可能とした。このため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0057】図7 (a) は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図である。この実施例は、信号電荷の排出を補助するためのコントロールゲート及びフローティングゲートを設けている点を除いて、図6 (a) 図示の実施例と同一に構成さ



れる。

【0058】コントロールゲート及びフローティングゲートは、図4(a)及び(c)図示の配置と同じ配置で形成される。すなわち、電荷蓄積チャンネル層103b及びチャンネル層131上に絶縁膜121を介してフローティングゲート電極120aが配設される。また、フローティングゲート電極120a上に絶縁膜114を介してコントロールゲート電極120bが配設される。コントロールゲート電極120bには、負の高電圧が印加可能で、電圧が印加されないフローティングゲート電極120aを介して、電荷蓄積チャンネル層103bに作用するようになっている。

【0059】図7(a)の断面図の各部分に対応する電位分布を示す図7(b)～図7(d)を参照して、この実施例を説明する。図7(b)は、コントロールゲート電極120bに電圧が印加されず、且つ電荷蓄積n型チャンネル層103bの部分に電荷がない状態の電位分布を示す。この状態において電荷蓄積チャンネル層103bの電位P5oは電荷排出ドレイン層108の電位Pdrより高くなるように設定される。本実施例においては、電荷蓄積チャンネル層103bの不純物濃度を $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ と大きくすることにより電位を高くしている。

【0060】図7(c)は、コントロールゲート電極120bに負の電圧が印加され、且つ電荷蓄積n型チャンネル層103bに信号電荷或いは他の意図的に付与された電荷が一旦蓄積され、その後排出された後の電位分布を示す。電荷蓄積チャンネル層103bには、チャンネル層103bの電位P5rを電荷排出ドレイン層108の電位Pdrと同一にする分、すなわち図に斜線を付した部分に対応する個数の電子の総電荷量が残留する。

【0061】図7(d)は、図7(c)図示の状態の後に、電荷蓄積n型チャンネル層103bに信号電荷が蓄積された信号電荷検出時の電位分布を示す。信号電荷がチャンネル層103bに転送されてきて蓄積されると、チャンネル層103bは電位P5tを有するようになる。チャンネル層103bの電位の変化により、電荷検出用PMOSトランジスタのチャンネル131の電位が変調する。従って、配線113に出力される電圧がVoが信号電荷の量に応じて変化し、この変化を測定することにより信号電荷量が検出される。

【0062】信号電荷が検出された後、リセットゲートが開かれて、信号電荷が排出されると、チャンネル層103bの電位は図7(c)の状態に戻る。すなわち、この実施例は不完全排出モードで操作される。

【0063】図7(a)図示の実施例によれば、不完全排出モードにより信号電荷の検出を可能としたため、コントロールゲートは低電圧で操作でき、高電圧電源が不要となる。

【0064】図8は本発明の更に別の実施例に係る電荷

転送装置の電荷検出部を拡大して示す断面図である。この実施例は、電荷検出用PMOSトランジスタのp型チャンネル層141の形成位置が異なる点を除いて、図1(a)、(b)、(c)及び図2(a)図示の実施例と同一に構成される。

【0065】この実施例にあつては、電荷転送n型チャンネル層103aと、電荷排出n型チャンネル層115との間に形成された電荷蓄積n+型チャンネル層103bは、上表面全体が絶縁膜121に接触する。n+型チャンネル層103bの下に接触して高抵抗のp-型ウェル層102(不純物濃度 $1 \times 10^{12} \sim 1 \times 10^{17} \text{ cm}^{-3}$ )内に電荷感知p型チャンネル層141(不純物濃度 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ )が形成される。p型チャンネル層141は、電荷転送及び電荷排出n型チャンネル層103a、115に接触しないように配置される。p型チャンネル層141は、高加速度のイオン注入装置を用いて形成することができる。

【0066】電荷がない状態の電荷蓄積チャンネル層103bの電位は、図2(a)図示実施例と同様、電荷排出ドレイン層108の電位より高くなるように設定される。すなわち、この実施例は不完全排出モードで操作され、その際の態様は、図2(b)～図2(d)に示す態様と実質的に同じとなる。

【0067】図8図示の実施例によれば、チャンネル層111と出力ゲート電極106との間、及びチャンネル層111とリセットゲート電極107との間のカップリング容量を小さくすることができ、高感度の電荷検出部を提供できる。また、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートが省略できるため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用的高電圧電源も不要となる。

【0068】図9は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図である。この実施例は、p-型ウェル層が分割されている点、及び電荷検出用PMOSトランジスタのp型チャンネル層151の形成位置が異なる点を除いて、図1(a)、(b)、(c)及び図2(a)図示の実施例と同一に構成される。

【0069】この実施例にあつては、高抵抗のp-型ウェル層(不純物濃度 $1 \times 10^{12} \sim 1 \times 10^{17} \text{ cm}^{-3}$ )は電荷転送n型チャンネル層103aの下に配置された第1部分102aと、電荷排出n+型ドレイン層の下に配置された第2部分102bとに分割される。ウェル層の部分102a、102bの間には、これらと接触せず、周囲がn型領域で包囲されるように電荷感知p型チャンネル層151(不純物濃度 $1 \times 10^{14} \sim 1 \times 10^{18} \text{ cm}^{-3}$ )が形成される。p型チャンネル層151は両側で、電荷転送n型チャンネル層103aと、電荷排出n型チャンネル層115とに接触する。電荷蓄積n+型チャンネル層103bは電荷感知p型チャンネル層151の表面に形成され、

その上表面全体が絶縁膜121に接触する。

【0070】電荷がない状態の電荷蓄積チャネル層103bの電位は、図6(a)図示実施例と同様、電荷排出ドレイン層108の電位より高くなるように設定される。すなわち、この実施例は不完全排出モードで操作され、その際の態様は、図6(b)～図6(d)に示す態様と実質的に同じとなる。

【0071】図9図示の実施例によれば、p型チャネル層151が図8図示実施例のp型チャネル層141より形成しやすいという利点がある。また、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートが省略できるため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0072】図10は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を示す図である。この実施例は、図1乃至図9図示の実施例と異なり、FDA型の電荷検出部の改良に関する。

【0073】半導体基板210の表面には、FD層211及びリセットドレイン212が形成される。半導体基板210上にはSiO<sub>2</sub>膜230を介してCCDの転送電極213、出力ゲート電極214及びリセットゲート電極215が配置される。FD層211はトランジスタ221のゲート電極に電気的に接続される。トランジスタ221のソースはデプレッション型の負荷MOSトランジスタ222のドレインと接続されて初段のソースフォロワ回路が形成される。また、トランジスタ221のソースは出力段駆動トランジスタ223のゲート電極に接続される。トランジスタ223のソースはデプレッション型の負荷MOSトランジスタ224のドレインと接

$$V_{out} = A_{dc} \cdot [1 - \exp(-G_m \cdot t / C)] \cdot V_{in} \quad \dots (1)$$

で表わすことができる。V<sub>out</sub>、V<sub>in</sub>、A<sub>dc</sub>、G<sub>m</sub>、C、tはそれぞれ出力電圧、入力電圧、DCの増幅率、相互コンダクタンス、負荷容量、時間を示す。上記の式

$$G_m = (2 \cdot W / L \cdot \mu \cdot C_{ox} \cdot I_d)^{1/2} \quad \dots (2)$$

で表わせる。W、L、μ、C<sub>ox</sub>、I<sub>d</sub>はそれぞれチャネル幅、チャネル長、モビリティ、面積あたりの容量、バイアス電流を示す。

【0078】従って、G<sub>m</sub>はバイアス電流が大きいほど大きくなり、それにより回路の応答速度が上がる事が分かる。それゆえ、入力信号の情報が変化する期間には、負荷MOSトランジスタ224のゲート電極226に与える電圧V<sub>cont</sub>を高くしてG<sub>m</sub>を大きくすることにより大量の電流を流してFDAの高速応答性を向上させ、さらに入力信号の情報が変化しない期間には、逆に電圧V<sub>cont</sub>を低くして少量の電流を流すことで消費電流を大幅に抑えることができる。

【0079】以下、図12図示の電圧波形を用いて、上記利点に関してより詳しく説明する。同図では上から順にリセットゲート電極215の電圧V<sub>RS</sub>の波形、負荷ト

続されて出力段のソースフォロワ回路が形成される。負荷MOSトランジスタ222、224のゲート電極225、226には、それぞれ独立の制御信号V<sub>cont</sub>、V<sub>c</sub>を与えることができるように構成される。

【0074】次に、上記出力段のソースフォロワ回路の動作点に関して説明する。ここで、制御信号V<sub>c</sub>の電圧は一定(例えば、0Vあるいは1～2V)で、電源電圧V<sub>DD</sub>は、例えば1.5Vのような電圧であるとする。

【0075】図11は、上記出力段のソースフォロワ回路の動作点を示す図である。ここで、曲線231は、図10に示す出力段駆動トランジスタ223の出力電圧に対するドレイン電流特性を示す。また、曲線234a、234bは、それぞれ図10に示す出力段負荷トランジスタ224の出力電圧に対するドレイン電流特性を示す。曲線234aはトランジスタ224のゲート電極226に印加する制御信号V<sub>cont</sub>の電圧を高く(例えば、5～6V)した場合、曲線234bは制御信号V<sub>cont</sub>の電圧を低く(例えば、2～3V)した場合に対応する。図から理解されるように、本実施例によれば、トランジスタ224のゲート電極226に低い電圧を与えて、ソースフォロワ回路を動作点(V<sub>1</sub>、I<sub>1</sub>)232aで動作させ、あるいは、トランジスタ224のゲート電極226に高い電圧を与えて、ソースフォロワ回路を動作点(V<sub>2</sub>、I<sub>2</sub>)232bで動作させることが可能となる。つまり、負荷トランジスタ224のゲート電極226に加える電圧V<sub>cont</sub>を制御することによって、ソースフォロワ回路のバイアス電流を制御できるようになる。

【0076】このとき、ソースフォロワ回路の入力信号V<sub>in</sub>に対して変化する出力信号の変化分V<sub>out</sub>は、

からG<sub>m</sub>が大きいほどソースフォロワ回路の応答速度が上がる事がわかる。

【0077】そして、G<sub>m</sub>は、

ランジスタのゲート電極226の電圧V<sub>cont</sub>の波形、出力電圧V<sub>out</sub>の波形を示す。

【0080】ここで、T11はリセットゲートがオン状態にされる期間を、T12はリセットゲートがオフ状態にされてから信号電荷のFD層211への注入が始まる少し前までの期間を、T13は負荷トランジスタゲート電極226のG<sub>m</sub>を大きくすべき期間すなわち出力V<sub>out</sub>が電荷の注入の開始によりフィードスルーレベルL1から信号レベルL2に向かって変化を始める少し前の時点から出力V<sub>out</sub>が十分に信号レベルに到達する時点までの期間を、また、T14はT13の終りからFD層211に存在する信号電荷のリセットが始まるまでの期間を示す。なお、時間T1bは信号電荷が少ない場合、時間T1wは信号電荷が大きい場合に対応する。図のように、T13の期間においては、電圧V<sub>cont</sub>を高くするこ

とにより負荷トランジスタゲート電極226のGmを大きくしているので、FDAが信号の変化に対して高速に応答し、また、T13以外の期間においては、電圧V<sub>cont</sub>を低くすることにより負荷トランジスタゲート電極226のGmを小さくしているので、動作電流が小さく抑えられ、それにより従来に比較して雑音が非常に低く押さえられている。

【0081】このように、本実施例によれば、必要な高速応答性を損なうことなく電荷転送装置のFDAにおける省電力化及び低雑音化をはかることができる。このFDAを有する電荷転送装置を固体撮像装置に適用すれば、大幅な性能の向上を達成することが可能となる。

【0082】ここで、T13以外の期間においては、FDAは低い周波数特性をもっており、期間T14で出力信号をサンプリングすれば、高周波の雑音成分の折り返し雑音の少ない信号が得られる。更に、期間T12の信号もサンプリングして期間T14の信号との差を取るか、または、時間T14の信号をハイパスフィルタに

$$Q = (4k \cdot T / G_m \cdot \alpha)^{1/2} \cdot C_t / [1 + (2 \cdot f \cdot C_{gs} / G_m)^2]^{1/2} \quad \dots (3)$$

で表わすことができる。Q、k、T、α、C<sub>t</sub>、f、C<sub>gs</sub>はそれぞれ等価入力雑音電荷、ボルツマン定数、温度、実験上の定数、FD層211の容量、雑音の周波数、トランジスタ221のゲートとソース間の容量を表わす。

【0085】図13は、上の式から得られる等価入力2

$$A = 4 \alpha \cdot k \cdot T \cdot C_t^2 / G_{m1} \quad \dots (4)$$

であり、雑音240bのDCの時の雑音Bは、

$$B = 4 \alpha \cdot k \cdot T \cdot C_t^2 / G_{m2} \quad \dots (5)$$

である。また、f<sub>a</sub>は後の信号処理で決まる信号帯域である。

$$A_t = (A \cdot f_a)^{1/2}$$

であり、雑音240bの総雑音B<sub>t</sub>は、

$$B_t = (B \cdot f_a)^{1/2}$$

となる。

【0087】従って、A<sub>t</sub>>B<sub>t</sub>となるから、電荷検出トランジスタ221のGmが大きいほど雑音が小さくなる。すなわち、トランジスタ222のゲート電極225に、より高い電圧を加えることで、更に雑音低減効果が増すという効果が得られる。それゆえ、例えば、出力信号のサンプリング時の前後においてのみ、電圧V<sub>c</sub>を高くして電荷検出トランジスタ221のGmを大きくすると、ほとんど消費電力の増加なしに、サンプリング時の出力信号に含まれる雑音を低減できるという利点がある。

【0088】なお、図10図示実施例ではFDAの構成が2段ソースフォロウ回路であるが、その代わりに、FDAが3段以上のソースフォロウ回路を用いて構成されていてもよい。

【0089】図16及び図17は図1乃至図13に沿って説明した本発明の実施例に係る電荷転送装置を利用したカメラの構成を示すブロック図である。図16は本発

通せば低周波の雑音成分をも排除することができる。また更に、少量の電流を流している時点で出力信号をサンプリングすれば、電荷検出MOSトランジスタの相互コンダクタンスが低下して帯域は狭まっており、高周波の雑音を大部分排除できるので、FDAのS/N比は向上する。

【0083】従って、FDAの負荷トランジスタのゲート電圧を制御することにより、FDAのバイアス電流および雑音を制御でき、FDAの出力感度向上をはかることができ、これを固体撮像装置等に適用すれば感度の大幅な向上を達成することが可能になる。

【0084】なお上述の説明では、初段ソースフォロウ回路の負荷トランジスタ222のゲート電極225に与えられる電圧V<sub>c</sub>を一定に保っていたが、この電圧V<sub>c</sub>もパルス電圧としてゲート電極225に与えてもよい。以下、ゲート電極225に与えられる電圧V<sub>c</sub>を制御することの利点について説明する。まず、このトランジスタ221の熱雑音から発生する等価入力雑音電荷は、

乗雑音電荷対周波数を概念的に表した図である。ここでは、G<sub>m2</sub>>G<sub>m1</sub>とし、雑音240aはG<sub>m</sub>=G<sub>m1</sub>の時の雑音、雑音240bはG<sub>m</sub>=G<sub>m2</sub>の時の雑音を表す。雑音240aのDCの時の雑音Aは、

【0086】この場合、出力される総雑音は帯域内の雑音の積分であるから、雑音240aの総雑音A<sub>t</sub>は、

$$\dots (6)$$

$$\dots (7)$$

明の実施例に係る電荷転送装置を組込んだ1つの固体撮像システム12を有する単板式カメラ10を示す。固体撮像システム12は多数の画素を有する受光部14を有する。被写体5からの入射光は、レンズ16を通して撮像システム12の受光部14に集光される。撮像システム12は集光光に応じて発生する信号電荷を前述の態様で電気的出力信号に変換する。撮像システム12からの出力信号は、信号処理回路18を介してモニター22に伝達され、イメージ化される。

【0090】図17は本発明の実施例に係る電荷転送装置を組込んだ3つの固体撮像システムを有する3板式カメラ30を示す。3つの固体撮像システムはそれぞれ赤(R)、緑(G)、青(B)の色フィルタを受光部に具備し、色分解光学系32を構成する。被写体5からの入射光は、レンズ36を通して色分解光学系32内の各撮像システムの受光部に集光される。各撮像システムは集光光に応じて発生する信号電荷を前述の態様で電気的出力信号に変換する。各撮像システムからの出力信号は、

各色専用の信号処理回路 38a、38b、38c 及びカラーコード 40 を介してモニター 42 に伝達され、イメージ化される。

【0091】また、図 17 図示の実施例においては、感度の低い青 (B) 色について本発明に係る高感度固体撮像システムを使用し、残りの 2 色 (R、G) については通常の固体撮像システムを使用し、青感度を高めるようにすることができる。このように 3 色 (R、G、B) を全てについて本発明に係る固体撮像システムを使用しなくとも、用途に応じて本発明を適宜利用することが可能となる。

【0092】本発明に係る固体撮像システムは高感度であるため、特に、信号量の少ない夜に使用される必要のある監視用カメラに最適なものとなる。また、本発明に係る固体撮像システムをホームビデオカメラに用いた場合には、解像度の劣化の少ない高感度のカメラを提供することが可能となる。

#### 【0093】

【発明の効果】請求項 1 記載の電荷転送装置によれば、感知チャネル層と出力ゲート電極との間及び感知チャネル層とリセットゲート電極との間カップリング容量を小さくすることができる。このため、信号電荷当たりの電位変化を大きく取ることができ、信号電荷による電流電圧変換ゲインの大きい、すなわち高感度の電荷検出部を提供できる。

【0094】請求項 2 記載の電荷転送装置によれば、蓄積チャネル層内の電位の凹凸及び電位のポケットに起因する検出誤差を回避することができる。これにより、信号電荷の排出を補助するためのコントロールゲート、フローティングゲートを蓄積チャネル層上に設ける必要がなくなる。このため、装置の構造及び製造プロセスが簡易となると共に、コントロールゲート用の高電圧電源も不要となる。

【0095】請求項 3 記載の電荷転送装置によれば、入力信号の情報が変化する瞬間のような FDA の速応性が要求される期間のみソースフォロワ回路のバイアス電流を大きくし、FDA の速応性が要求されない期間はソースフォロワ回路のバイアス電流を小さくして雑音及び消費電力を低減するような制御が可能となる。これにより、必要な高速応答性を損なうことなく FDA の低雑音化と省消費電力化を図ることができ、電荷転送装置の低雑音化と省消費電力化を図ることができる。

#### 【図面の簡単な説明】

【図 1】(a) は本発明の実施例に係る電荷転送装置を示す平面図、(b) 及び (c) はそれぞれ (a) の IB-IB 線及び IC-IC 線断面図。

【図 2】(a) は図 1 (b) 図示の電荷検出部の拡大断面図、(b) ~ (d) は (a) 図示の断面図の各部分に対応する電位分布を示す図。

【図 3】(a) は本発明の別の実施例に係る電荷転送装

置の電荷検出部を拡大して示す断面図、(b) ~ (d) は (a) 図示の断面図の各部分に対応する電位分布を示す図。

【図 4】(a) は本発明の更に別の実施例に係る電荷転送装置を示す平面図、(b) 及び (c) はそれぞれ

(a) の IXB-IXB 線及び IXC-IXC 線断面図。

【図 5】(a) は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図、(b) ~ (d) は (a) 図示の断面図の各部分に対応する電位分布を示す図。

【図 6】(a) は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図、(b) ~ (d) は (a) 図示の断面図の各部分に対応する電位分布を示す図。

【図 7】(a) は本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図、(b) ~ (d) は (a) 図示の断面図の各部分に対応する電位分布を示す図。

【図 8】本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図。

【図 9】本発明の更に別の実施例に係る電荷転送装置の電荷検出部を拡大して示す断面図。

【図 10】本発明の更に別の実施例に係る電荷転送装置の FDA 型の電荷検出部を示す図。

【図 11】図 10 図示のソースフォロワ回路のドレイン電流対出力電圧特性を示すグラフ。

【図 12】図 10 図示の実施例の FDA の出力波形等を示す図。

【図 13】図 10 図示の実施例の FDA を更に改良して得られる雑音量を示す概念図。

【図 14】従来の電荷転送装置の FDA 型の電荷検出部を示す図。

【図 15】図 14 図示の装置の FDA の出力波形等を示す図。

【図 16】本発明の実施例に係る電荷転送装置を利用したカメラの構成を示すブロック図。

【図 17】本発明の実施例に係る電荷転送装置を利用した別のカメラの構成を示すブロック図。

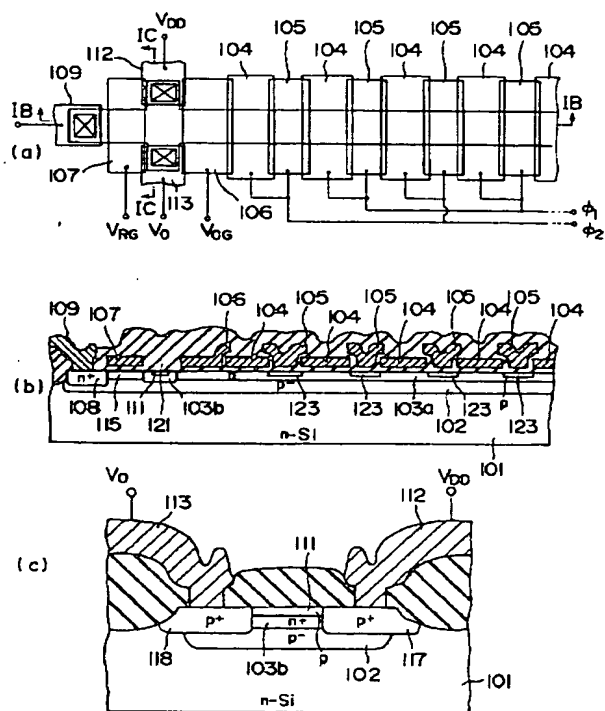
#### 【符号の説明】

101...n 型 (第 1 導電型) 半導体基板、  
102...低濃度の p 型 (第 2 導電型) ウェル層、  
103a...電荷転送 n 型チャネル層、  
103b、103x...電荷蓄積 n 型チャネル層、  
104...第 1 の電荷転送電極、  
105...第 2 の電荷転送電極、  
106...出力ゲート電極、  
107...リセットゲート電極、  
108...電荷排出ドレイン層、  
109...電荷排出配線、

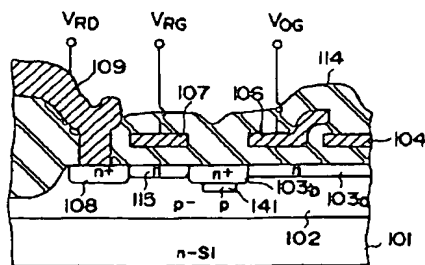
21

111、131、141、151…電荷感知p型チャネル層、  
 112…電源配線、  
 113…出力信号配線、  
 114…絶縁膜、  
 115…電荷排出n型チャネル層、  
 117、118…ソース/ドレイン層、  
 120a…フローティングゲート電極、  
 120b…コントロールゲート電極、  
 121…絶縁膜、  
 123…p型層、  
 210…半導体基板、

【図1】



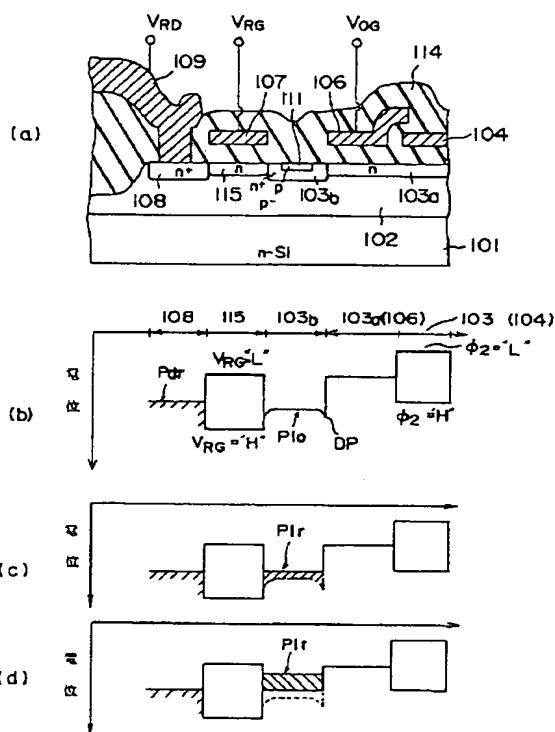
【図8】



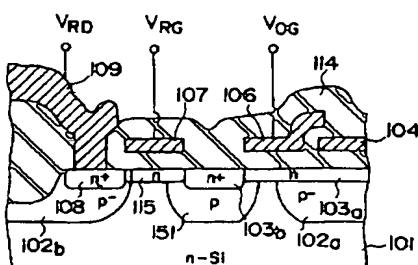
22

211…FD層(浮遊拡散層)、  
 212…リセットドレイン層、  
 213…転送電極、  
 214…出力ゲート電極、  
 215…リセットゲート電極、  
 221…電荷検出MOSトランジスタ、  
 222…初段負荷MOSトランジスタ、  
 223…出力段駆動MOSトランジスタ、  
 224…出力段負荷MOSトランジスタ、  
 225…ゲート電極、  
 226…ゲート電極、  
 230…SiO<sub>2</sub>膜。

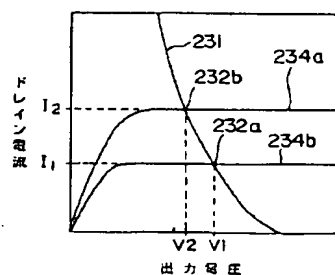
【図2】



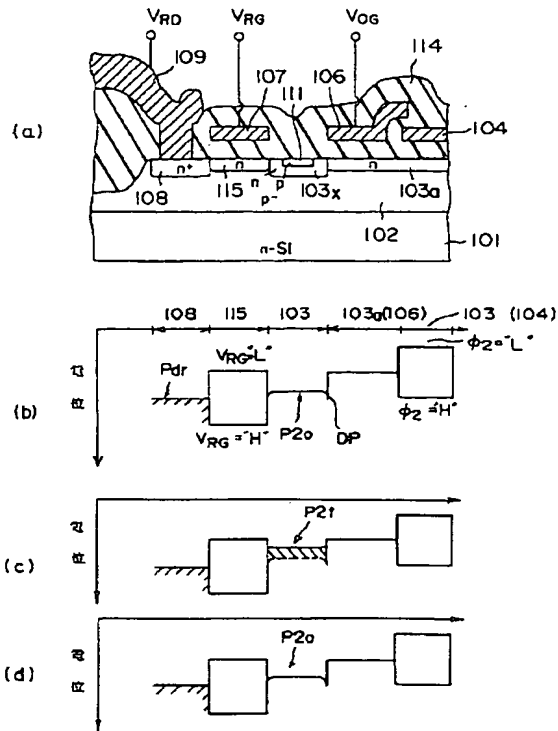
【図9】



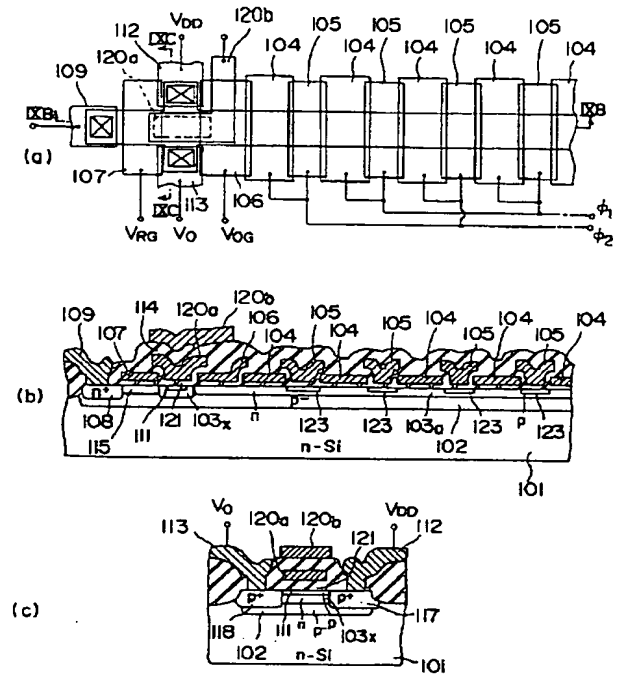
【図11】



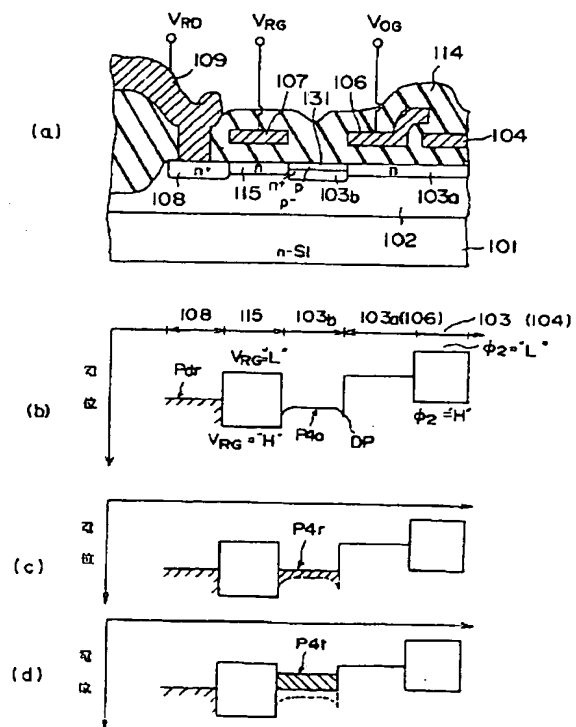
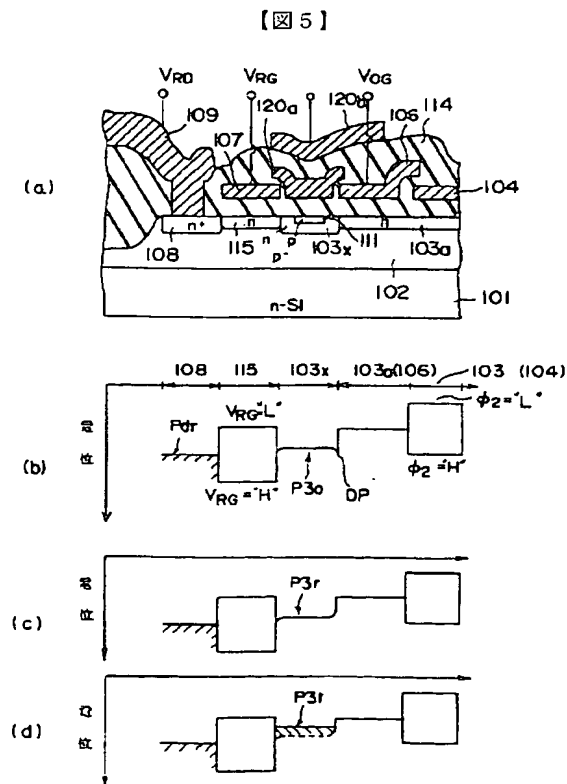
【図3】



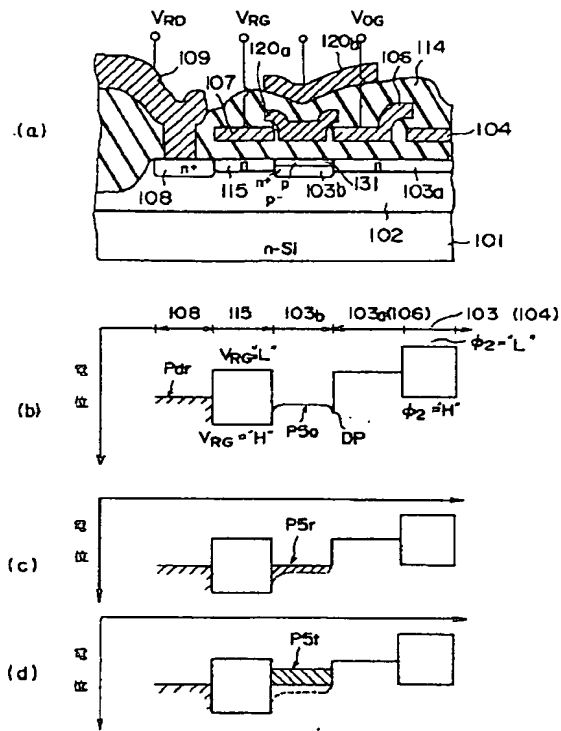
【図4】



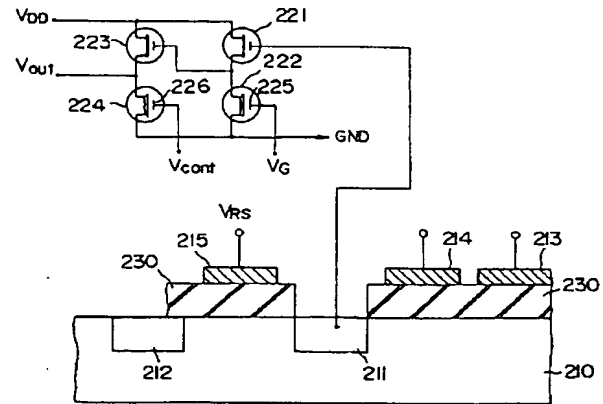
【図6】



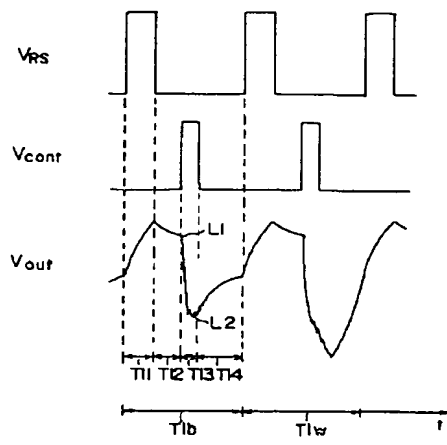
【図7】



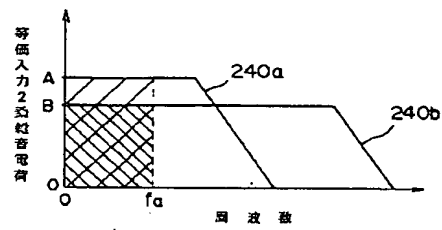
【図10】



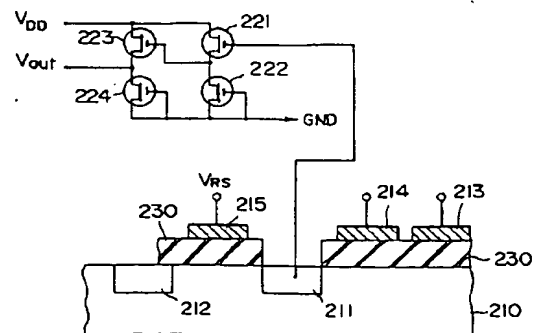
【図12】



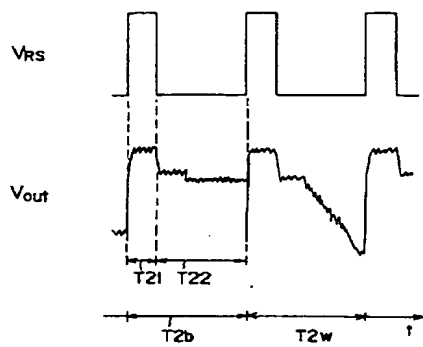
【図13】



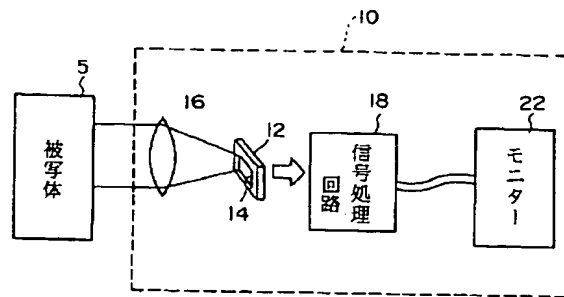
【図14】



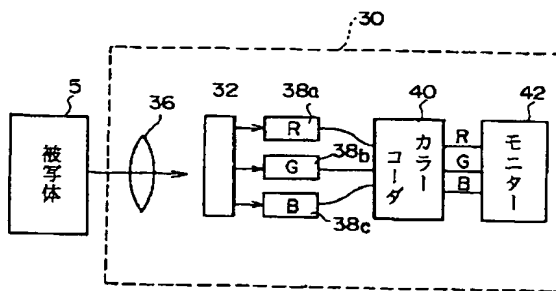
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 遠藤 幸雄

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内